

文章编号:1007-2780(2014)06-1139-05

一种 CMOS 相机测量系统的设计

田 睿*, 陈春宁, 邸 男, 孙海超

(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要:介绍了一种应用在空间项目中,可以对合作目标进行自动识别和测量的 CMOS 相机系统。相机系统以 E2V 公司生产的 EV76C560AR 为图像传感器;以 V4 系列 FPGA 和 C67x 系列 DSP 为图像处理核心。文中着重描述了相机系统中数据流的处理过程,包括图像压缩,多通道数据交换,数据通讯。使用 FPGA 实现图像数据流的 H. 264 格式压缩;用 FPGA 控制 RT 端实现相机系统在 1553B 总线上的信息通讯;有限状态机实现了图像数据流在 FPGA、DSP 和 SRAM 间的交换。此相机测量系统已经在初样载荷上稳定工作。

关 键 词: FPGA; H. 264; 状态机; 1553B 总线

中图分类号: TP212.9 **文献标识码:** A **doi:** 10.3788/YJYXS20142906.1139

Design of the CMOS camera measurement system

TIAN Rui*, CHEN Chun-ning, DI Nan, SUN Hai-chao

(Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,
Changchun 130033, China)

Abstract: A CMOS camera measurement system which recognizes and measures the cooperative target in some space project is presented. EV76C560AR made by E2V is used as image sensor in the camera measurement system. The V4 series FPGA and C67x series DSP are the core of the image processing. The processing procedure of data streams including image compressing, data exchange and message communication is described. The paper uses FPGA to realize H. 264 video code standard, the control of the RT terminal of 1553B bus, and the image data exchange among FPGA, DSP and SRAM by finite-state machine. This camera measurement system has been used in the space measure project.

Key words: FPGA; H. 264; state machine; 1553 bus

1 引 言

在空间项目中,CMOS 图像传感器相对于 CCD 有许多优势,如功耗小、成本低、供电电压种类少、成像电路集成度高等。尤其是在一些在轨工作时间长的项目中,CMOS 图像传感器在抗辐

射能力方面的优势更加明显。在 E2V 公司定制的有增强抗辐射特性的 EV76C560AR 图像传感器在 1 280(H)×1 024(V)分辨率下最高帧频可达 60 fps,并且具有低功耗、动态范围大、低光照环境下灵敏度高、控制时序简单的特点。

本文利用 EV76C560AR 为图像传感器,以 FPGA 和 DSP 为图像处理核心设计一种 CMOS

相机测量系统^[1]。

2 系统设计方案

相机测量系统需要完成对合作目标及其背景进行成像,然后对目标相对于相机系统的姿态进行测量运算,最后将图像数据下载到飞行器内的局域网上,姿态测量结果通过 1553B 总线传输到上一级控制系统。

相机测量系统由 2 块电路板组成,一块电路板是 CMOS 传感器板,将 CMOS 图像传感器 EV76C560AR 焊接到此电路板上,然后将电路板和前端镜头加以固定;另一块电路板是图像处理板,其上主要器件包括 Xilinx 公司的 V4 系列抗辐照 FPGA(XQR4VSX55),TI 公司的 6000 系列 DSP 芯片 (SMJ320C6701-SP),Aeroflex 公司的 SRAM 芯片 (UT8Q512K32E),Micrel 公司的网口 PHY 芯片 (KSZ8041NLJ),DDC 公司生产的 1553B 总线控制芯片 (BU-61580S3)。

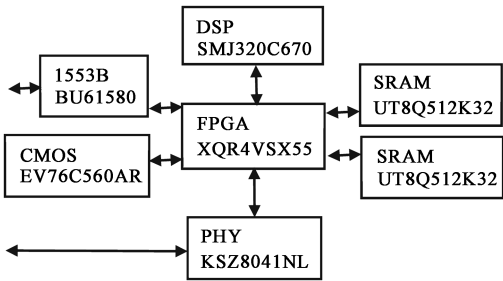


图 1 相机系统原理图

Fig. 1 Architecture of camera system

FPGA(Field Programmable Gate Arrays)可以进行高速数据处理和逻辑运算。FPGA 芯片使用 Xilinx 公司生产的 V4 系列的航天级 FPGA 芯片 XQR4VSX55。它具有很好的温度特性和抗辐射的能力,并且有多达 640 个 IO 管脚,8 个 DCM (时钟管理器),最多可以设定的片内 RAM 达 5 760 Kb,可以满足系统设计要求。SMJ320C6701 是 TI 公司研发的有抗辐照性能的 DSP 芯片,最大工作时钟频率 140 MHz,1 Mbit 的片上 RAM,32 位数据总线。

图像处理板上的 FPGA 产生能使 CMOS 图像传感器能输出 24 fps 的图像的驱动时序,驱动时序经过板间连接器接到 CMOS 传感器板上;由 CMOS 图像传感器进行光电转换,将投射到

CMOS 靶面上的光信息转换成数字图像信号;图像信号再经由板间连接器输入至图像处理板上的 FPGA。FPGA 将图像数据流分成 2 个,一个是供 DSP 芯片进行计算的图像数据流,FPGA 将此数据流存储到 SRAM 中,并且设计有限状态机设置 SRAM 的工作模式,工作模式包括 SRAM 完成图像存储、DSP 的读取图像数据和 DSP 写入图像数据。计算结果由 FPGA 作转换,由 1553B 总线发送出去。另一个图像数据流为完整的 24 fps 图像数据流,相机系统需要将此数据流通过网口收发芯片 PHY 下载到飞行器局域网络。

3 图像压缩下传

根据任务需求,相机系统需要将图像数据传输到局域网络供宇航员进行监控。飞行器的局域网络速度设定为百兆,而 24 fps、8 bit、分辨率为 1 024(H)×1 024(V)的图像数据传输的最小带宽要求为 192 Mb/s。可见由于网络传输带宽的限制不能将原始图像数据从相机系统直接下传。故此,图像数据流需要经过图像处理板中的图像压缩部分进行压缩,将图像压缩成 H. 264 的数字视频压缩格式,再进行下传。

虽然传统 DSP 架构的顺序执行的压缩算法程序编写比较简单,但是由于航天级 DSP 芯片运算速度极为有限,并且顺序执行的算法也有很大的局限性导致其难以满足项目中关于实时性的要求。所以,相机系统使用 FPGA 实现图像数据流的 H. 264 格式的压缩。由于篇幅的关系,使用 FPGA 图像压缩部分不再详细叙述,其编程原理可参照参考文献[2]和文献[3]。

使用 FPGA 压缩后图像数据压缩比达 50~300 倍,带宽需求下降到 0.64~3.84 Mb/s,可以用百兆局域网下传。在接收端加入 H. 264 解码 VC 程序,可以实现图像连续播放。

4 SRAM 数据操作

DSP 的最大工作时钟频率 140 MHz,考虑到空间系统的频率降额要求,它的工作频率设定到 100 MHz。可见,DSP 的运算速度是相当有限的。上一级控制系统对此相机系统的计算速度要求并不高,125 ms 左右输出一次测量结果即可,

所以 DSP 只对 CMOS 成像的数据(24 fps,1 024 H×1 024 V)的每三帧抽取一帧进行计算。DSP 需要完成的工作有:对合作目标的距离和相对姿态进行六自由度测量;针对图像背景和目标灰度进行分析计算;解析通讯信息;控制 CMOS 图像传感器的积分时间;最后将计算结果通过 1553B 总线发送到上级控制系统。

UT8Q512K32E 是一款最小读写周期为 25 ns 的 32 位 SRAM,所以将读写频率定在 36 MHz,这样它的最大数据带宽为 144 Mb/s。SRAM 数据流有 3 个,分别是 8 fps 的图像数据输入,DSP 通过 DMA 方式读出图像数据和 DSP 通过 DMA 方式写入其预处理后的二值图像^[4-5]。设定 SRAM 控制状态机一共有 4 个运行状态,分别是空闲状态(状态标志码 0001B)、图像写入状态(状态标志码 0010B)、DMA 读图像状态(状态标志码 0111B)和 DMA 写图像状态(状态标志码 1000B)。

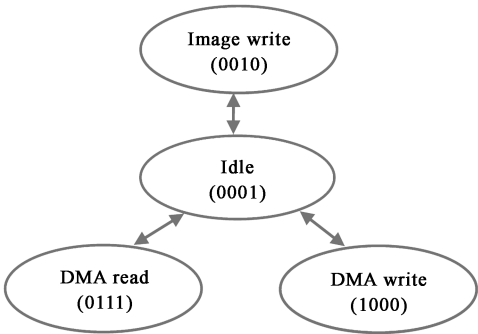


图 2 SRAM 控制状态机
Fig.2 SRAM control state machine

由于 DSP 的 EMIF 总线上只能进行读操作或者写操作,所以在计算系统工作带宽的时候只要考虑一个 DMA 工作模式即可。如果设定 DSP 芯片 SMJ320C6701-SP 在 DMA(直接存储器访问)模式下速度为 16.7 MHz,DSP 的数据总线为 32 bit,所以 DSP 的数据吞吐带宽为 66.8 Mb/s。CMOS 图像传感器的输出像素时钟为 36 MHz,如果只取图像数据的高 8 位参与 DSP 运算,数据吞吐带宽为 36 Mb/s。所以,控制 SRAM 的有限状态机的利用率不能低于 $(36\text{ MHz}+66.8\text{ MHz})/144\text{ MHz}=71.4\%$ 。

在一个完整的有限状态机状态转换周期中,最少需要的变换需求时钟周期数包括:状态结束

延迟等待时钟周期数 T_1 ;状态结束申请信号的持续时钟周期数 T_2 ;状态结束申请信号使状态机回到“空闲”状态所需的时钟周期数 T_3 ;状态申请信号持续时钟周期数 T_4 ;进入状态后设置状态内参数所需时钟周期数 T_5 ;状态处理时钟周期数 T_6 。

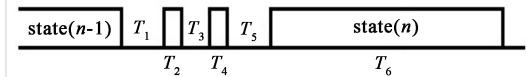


图 3 状态机时序图
Fig.3 Timing of state machine

通过编程,本系统中设定各个最小需求周期数 T_1 为 2, T_2 为 1, T_3 为 1, T_4 为 1, T_5 为 2,综合上一段对 SRAM 带宽的分析应有:

$$\frac{T_6}{T_6+7} \geq 0.714.$$

公式的意义为,在一个完整的有限状态机状态转换周期中,操作数据读写的时间至少占整个转换周期的 71.4%才能保证状态响应的实时性,才能保证数据没有因为状态机没有响应状态申请而发生错误。得到 T_6 应大于 17.5,取 2 的整幂数有利于 FPGA 逻辑运算和内部 FIFO 读写判定,这里取 32。以状态机主工作时钟为计数基准时,每个状态操作循环中至少有 32 个周期用来进行 SRAM 读写操作。

在 Modelsim6.5 上进行状态机仿真结果如图 4 所示。

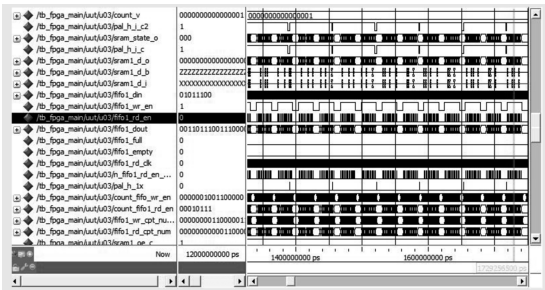


图 4 时序仿真结果
Fig.4 Timing simulation result

5 1553b 总线控制

相机系统作为整个控制系统的一部分,其数据交换通过 BU-61580 芯片在 1553b 总线上实现的。相机系统在 1553b 线上作为一个 RT 端(远

置终端)存在,控制信息通过同级别总线上的 BC 端(总线控制器)发送到相机系统;相机系统把对合作目标的姿态计算结果传递到同级别的 BC 端^[6-7]。

对 BU-61580 的寄存器和数据区进行读写需求时间比较长。如 BU-61580 的输入时钟周期为 16 MHz,写入一个寄存器或者缓存数据需要用时最少为 10 个总线周期,时间约为 625 μs 。应用中,每次需要读写的子地址数为 30 个,每个子地址需要操作 32 次,一共需要操作的时间为:

$$625 \text{ ns} \times 30 \times 32 = 600 \text{ } \mu\text{s}.$$

使用 DSP 直接控制 BU-61580 需要修改 DSP 的外部总线频率,并且初始化 BU-61580 和操作 BU-61580 所需的时间也比较长。使用 FPGA 控制 BU-61580,不但降低了 DSP 操作外部总线的复杂度,初始化和读写数据的时间也减少了很多,所以使用 FPGA 作为 BU-61580 的控制芯片。DSP 在每一帧图像计算完成后把数据信号通过 DMA 方式传递到 FPGA,由 FPGA 完成对 BU-61580 芯片上数据区的填充。DSP 传递数据到 FPGA 时间为:

$$\frac{32 \times 30}{32/16} \times \frac{1}{16.7 \text{ MHz}} = 28.8 \text{ } \mu\text{s}.$$

所用时间只需要直接操作子地址的二十分之

一左右。

在接收 BC 传递的数据时,FPGA 利用消息结束产生的中断读取数据的模式,即 FPGA 接收到 BU-61580 芯片的中断管脚 INT 的低电平脉冲信号后,再对消息进行判定和操作。FPGA 读取命令控制字所在的 RAM 地址中的数据,得到中断的命令控制字。如果这些命令控制字都符合通讯协议中的设定,FPGA 根据子地址查找表查找此次操作的子地址所对应的 RAM 起始地址,最后根据数据字数读取 RAM 中的数据。最后,DSP 根据计算需求定时读取 FPGA 中的控制信息^[8]。

6 结 论

使用 V4 系列 FPGA 和 C67x 系列 DSP 为图像处理核心设计一种 CMOS 相机测量系统。在 ISE12.4 和 CCS3.1 的开发环境下,使用 VHDL 和 C 语言进行编程实现和综合编译,并且用 Modelsim6.5 对逻辑描述语言做了充分的仿真。在系统资源和器件选用非常有限的情况下完成了相机测量系统设计,此系统已经在初样载荷上使用,可靠性高,成像清晰,姿态数据准确。

参 考 文 献:

- [1] 贺柏根,刘剑,马天玮.基于 DSP+FPGA 的实时图像去雾增强系统设计[J].液晶与显示,2013,28(6):968-972.
He B G, Liu J, Ma T W. Real-time image defogging and enhanced system design based on DSP+FPGA [J]. *Chinese Journal of Liquid Crystal and Displays*, 2013, 28(6): 968-972. (in Chinese)
- [2] 李飞鹏.基于 FPGA 的 H.264 视频压缩编码系统研究与实现[D].南京:南京航空航天大学,2012.
Li F P. Research and realization of H.264 Video compression coding system based on FPGA [D]. Nanjing: Nanjing University of Aeronautics and Astronautics, 2012, (in Chinese)
- [3] 荣超群.基于 FPGA 的 H.264 编码系统设计与实现[D].沈阳:东北大学,2013.
Rong C Q. Design and implementation of H.264 encoding system based on FPGA [D]. Shenyang: Northeastern University, 2013, (in Chinese)
- [4] 王明富,杨世洪,吴钦章.大面阵 CCD 图像实时显示系统的设计[J].光学精密工程,2010,18(9):2053-2059.
Wang M F, Yang S H, Wu Q Z. Design of large-array CCD real-time display system [J]. *Optics and Precision Engineering*, 2010, 18(9): 2053-2059. (in Chinese)
- [5] 樊博,王廷杰,孙宏海,等. FPGA 实现高速实时多端口图像处理系统的研究[J].液晶与显示,2013,28(4):620-625.
Fan B, Wang Y J, Sun H, et al. High speed real-time multiport image algorithm in FPGA real-time system [J]. *Chinese Journal of Liquid Crystal and Displays*, 2013, 28(4): 620-625. (in Chinese)

[6] 尹占芳,曹宇,杨福广,等. 基于 FPGA 的 1553B 总线终端设计[J]. 计算机测量与控制,2013,5:1288-1290.
Yin Z F, Cao Y, Yang F G, *et al.* Design of MIL-STD-1553B terminal based on FPGA [J]. *Computer Measurement & Control*, 2013, 5:1288-1290. (in Chinese)

[7] 李志刚,盖宇. 基于 FPGA 的 1553B 总线编码解码器的设计[J]. 计测技术,2006:26:45-48.
Li Z G, Gai Y. The design of the manchester II coders and decoders for the 1553B bus based on FPGA [J]. *Metrol-ogy & Measurement Technology*, 2006, 26 :45-48. (in Chinese)

[8] 张飞,王焕玉,徐玉朋等. 基于 FPGA 控制实现的 1553B 总线通讯设计[J]. 航天控制,2010,28(6):67-71.
Zhang F, Wang H Y, Xu Y P. 1553B_Bus communication design based on FPGA control [J]. *Aerospace Control*, 2010, 28(6):67-71. (in Chinese)

作者简介:田睿(1981—),男,黑龙江友谊人,博士,副研究员,主要从事数字图像处理方面的研究。E-mail: tianrui_81@aliyun.com